

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020083665 A
(43)Date of publication of application: 04.11.2002

(21)Application number: 1020010023163
(22)Date of filing: 28.04.2001

(71)Applicant: AMKOR TECHNOLOGY KOREA, INC.
(72)Inventor: LIM, HO

(51)Int. Cl. H01L 23/12

(54) SEMICONDUCTOR PACKAGE

(57). Abstract:

PURPOSE: A semiconductor package is provided to realize to unite complex functions in a package and improve the speed of converting process of light signal and minimize bonding area.

CONSTITUTION: A semiconductor package include both photonic integrated circuit chip(30) and general integrated chip as a stacked structure. The unit(10) is formed by etching conducting pattern(14) on both side of an insulating-resin layer(12). An input or output of electric signal is performed through a bonding pad of each chip and exposed bonding region of the conducting pattern. The bonding pad(22a) of bottom chip is connected to conducting pattern of the substrate by metal bump. The photonic integrated circuit is connected to the top surface of the bottom chip by using bonding material(31). A covering glass(38) for light transmission is attached to the top surface of the chip.

© KIPO 2003

Legal Status

Final disposal of an application (application)

AL

특2002-0083665

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷ (11) 공개번호 특2002-0083665
H01L 23/12 (43) 공개일자 2002년11월04일

(21) 출원번호 10-2001-0023163
(22) 출원일자 2001년04월28일
(71) 출원인 애플 테크놀로지 코리아 주식회사
광주 북구 대촌동 957
(72) 발명자 임호
전라북도전주시완산구전동146-13
(74) 대리인 허상훈

심사청구 : 없음

(54) 반도체 패키지

요약

본 발명은 반도체 패키지에 관한 것으로서, 부재상에 일반적인 신호 연산용 회로가 집적된 하부 칩이 플립칩 본딩되거나 와이어 본딩되어 실장되고, 하부 칩의 상면에 광집적 회로 반도체 칩이 와이어 본딩되어 적층된 반도체 패키지를 제공하는데 그 목적이 있다.

본 발명은 광집적 회로 반도체 칩이 하부 칩 상면에 적층된 구조의 반도체 패키지를 제공함으로써, 하나의 칩으로 통합시키기 어려운 복합기능을 하나의 패키지에 의하여 구현 가능하게 하고, 광신호의 변환 처리를 더욱 신속하게 진행할 수 있으며, 마더보드상에서 부품의 전체적인 실장면적을 최소화할 수 있는 잇점을 제공하게 된다.

도표도

도1

색인어

반도체 패키지, 광집적 회로 반도체 칩, 적층, 범프

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 반도체 패키지의 제1실시예를 나타내는 단면도.

도 2는 본 발명에 따른 반도체 패키지의 제2실시예를 나타내는 단면도.

<도면의 주요 부분에 대한 부호의 설명>

10 : 부재14 : 전도성패턴

20 : 하부 칩24 : 금속범프

26 : 와이어30 : 광집적 회로 반도체 칩

32 : 광검출부38 : 글래스

40 : 인출단자50 : 몰딩수지

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 패키지에 관한 것으로서, 더욱 상세하게는 광신호를 수신 연산하는 광집적 회로 반도체

칩과, 임의의 회로설계에 따라 신호 연산을 하는 반도체 칩이 상하로 적층된 구조의 반도체 패키지에 관한 것이다.

일반적으로 최근에 개발되는 전자통신기기들은 제조기술의 집약적인 발달과 함께 고기능화의 요구로 인하여, 메모리 및 연산을 위한 반도체 칩뿐만 아니라, 특정 기능을 구현하기 위한 반도체 칩들을 필요로 하고 있다.

그 예로서, 빛의 속성에 대하여 각종 변환처리를 수행하는 광집적 회로 반도체 칩이 제조되고 있는 바, 이러한 반도체 칩은 광검파기(Optical Detector)나, 카메라와 같은 광학기기 등에서 빛의 강도, 주파수, 위상 등의 정보를 전기적 신호로 변환하는 광정보처리를 수행하게 된다.

최근에는 이러한 광집적 회로 반도체 칩을 이용한 각종 전자기기들이 점차 고기능화되고 소형화됨에 따라, 보다 고집적화된 반도체 칩을 필요로 하게 되었고, 필요에 따라서는 다른 반도체 칩과의 통합된 기능을 수행하도록 설계되고 있다.

종래에는 광집적 회로 반도체 칩의 패키지를 제조할 시, 내부에 하나의 광집적 회로 반도체 칩만을 실장하여 제조되고 있는 바, 이는 고도의 복잡한 신호 연산을 광집적 회로 반도체 칩에서 모두 수용하는데 한계가 있고, 마더보드상에 통합된 기능의 반도체 패키지를 별도로 실장하여야 하는 문제점이 있었다.

이와 같이, 광집적 회로 반도체 칩이 적용된 패키지가 다른 반도체 패키지와 함께 통합된 기능을 수행하기 위하여 함께 실장되어야 함은 마더보드에 대한 전체적인 실장 면적을 크게 하고, 전자 통신기기의 소형화 추세에 역행하는 요인이 된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기와 같은 문제점을 해결하기 위하여 발명한 것으로서, 부재상에 일반적인 신호 연산용 회로가 집적된 하부 칩이 플립칩 본딩되거나 와이어 본딩되어 실장되고, 하부 칩의 상면에 광집적 회로 반도체 칩이 와이어 본딩되어 적층된 반도체 패키지를 제공하는데 그 목적이 있다.

본 발명은 광집적 회로 반도체 칩이 하부 칩 상면에 적층된 구조의 반도체 패키지를 제공함으로써, 하나의 칩으로 통합시키기 어려운 복합기능을 하나의 패키지에 의하여 구현 가능하게 하고, 광신호의 변환 처리를 더욱 신속하게 진행할 수 있으며, 마더보드상에서 부품의 전체적인 실장면적을 최소화할 수 있는 잇점을 제공하게 된다.

발명의 구성 및 작용

이하, 첨부도면을 참조하여 본 발명을 설명하면 다음과 같다.

본 발명에 따른 반도체 패키지는: 베이스층을 이루는 절연수지층(12)상에 전도성패턴(14)이 에칭으로 형성된 부재(10)와; 상기 부재(10)의 전도성패턴(14)과 신호 교환 가능하게 부착되는 하부 칩(20)과; 상기 부재(10)의 전도성패턴(14)과 상기 하부 칩(20)의 본딩패드간에 신호 교환 가능하게 융착된 범프(24)와; 상기 하부 칩(20)의 상면에 정착수단(31)에 의하여 부착된 광집적 회로 반도체 칩(30)과; 상기 광집적 회로 반도체 칩(30)의 광검출부(32)를 덮으면서 부착되는 빛 투과수단과; 상기 빛 투과수단의 외측으로 형성된 상기 광집적 회로 반도체 칩(30)의 본딩패드와, 상기 부재(10)의 와이어 본딩용 전도성패턴간에 연결된 와이어(26)와; 상기 부재(10) 저면의 인출단자 부착용 전도성패턴에 신호 교환 가능하게 융착된 다수개의 인출단자(40)와; 상기 각 반도체 칩(20, 30)과 와이어(26)와 범프(24)를 포함하면서 부재의 상면에 걸쳐 돌출된 수지(50)로 구성된 것을 특징으로 한다.

본 발명의 다른 실시예에서, 상기 하부 칩(20)의 본딩패드와 상기 부재(10)간의 접속수단을 상기 범프(24)대신 와이어(26)로 연결 가능한 것을 특징으로 한다.

여기서 본 발명의 실시예로서, 첨부한 도면을 참조로 더욱 상세하게 설명하면 다음과 같다.

첨부한 도 1은 본 발명에 따른 반도체 패키지의 제1실시예를 나타내는 단면도이다.

도 1에 도시한 바와 같이, 본 발명의 반도체 패키지는 하부 칩(20)의 상면에 광집적 회로 반도체 칩(30)이 적층된 칩 스택형 반도체 패키지로서, 부재(10)상에 실장된 하부 칩(20)의 상면에 광검출부를 포함하는 광집적 회로 반도체 칩(30)이 적층된 구조로 되어 있다.

본 발명의 반도체 패키지에서, 상기 부재(10)는 인쇄회로기판 또는 회로필름등의 부재를 모두 이용 가능하다.

상기 부재(10)는 베이스층인 절연수지층(12)의 양면에 전도성패턴(14)이 에칭 처리되어 형성된 것으로서, 이 전도성패턴(14)의 노출된 본딩영역과 실장된 각 반도체 칩(20, 30)의 본딩패드간에 신호의 입/출력이 이루어지게 된다.

본 발명의 제1실시예에서, 상기 하부 칩(20)은 부재(10)상에서 플립 칩(flip chip) 본딩하여 실장되는데, 이를 좀 더 상세하게 설명하면, 하부 칩(20)을 다수개의 본딩패드(22a)가 부재(10)를 향하도록 한 후, 상기 부재(10)에 형성되어 있는 전도성 패턴의 본딩영역에 부착되도록 한다.

이때, 상기 하부 칩(20)의 본딩패드와 상기 부재(10)의 전도성패턴은 금속범프(24)로 연결시키고, 이 범프(24)로 인하여 상기 부재(10)의 전도성패턴(14)과 상기 하부 칩(20)의 본딩패드(22a)간은 전기적인 신호 교환이 가능한 상태가 된다.

여기서, 상기 광집적 회로 반도체 칩(30)이 소정의 정착수단(31)을 이용하여 상기 하부 칩(20)의 상면에

부착되고, 빛 투과수단이 광검출부(32)를 포함하는 상기 광집적 회로 반도체 칩(30)의 상면을 덮으면서 부착되는 바, 상기 빛 투과수단의 예로서, 덮개형의 글래스(38)를 이용하는 것이 가장 바람직하다.

좀 더 상세하게는, 상기 글래스(38)는 내부가 밀폐되도록 접착수단(39)에 의하여 상기 광집적 회로 반도체 칩(30)의 상면에 부착되는데, 이는 몰딩공정시 상기 글래스(38)가 움직이지 않도록 하고 내부에 몰딩 수지가 유입되는 것을 막기 위함이다.

특히, 상기 글래스(38)를 광검출부(32)를 포함하는 상기 광집적 회로 반도체 칩(30)의 상면에 부착하되, 광집적 회로 반도체 칩(30)의 본딩패드 안쪽 영역을 덮으면서 부착되기 때문에, 광집적 회로 반도체 칩(30)의 본딩패드는 글래스(38)에 의하여 덮혀지지 않은 상태가 된다.

이에, 상기 글래스(38)의 외측으로 위치된 광집적 회로 반도체 칩(30)의 본딩패드와, 상기 부재(10)의 와이어 본딩용 전도성패턴간을 와이어(26)로 연결하여, 신호의 입/출력이 이루어지게 된다.

다음으로, 상기 하부 칩(20) 및 광집적 회로 반도체 칩(30), 그리고 상기 범프(24)와 와이어(26)를 포함하면서 부재(10)의 상면에 걸쳐 수지(50)로 몰딩을 하게 되는데, 이때 광집적 회로 반도체 칩(30)에서 광 신호를 수신할 수 있도록 상기 글래스(38)의 표면은 외부로 노출된 상태가 된다.

물론, 상기 몰딩수지(50)의 높이와 글래스(38)의 표면 높이는 동일한 높이가 되도록 하는 것이 바람직하다.

또한, 상기 부재(10) 저면에 형성된 인출단자 부착용 전도성패턴에 각 반도체 칩(20, 30)의 신호를 외부로 입/출력할 수 있도록 다수개의 인출단자(40)가 융착되는 바, 이 인출단자(40)는 솔더 재질의 솔더볼을 융착시키는 것이 바람직하다.

이와 같이, 본 발명의 반도체 패키지는 상기 글래스를 통하여 광신호를 수신하는 광집적 회로 반도체 칩(30)과, 임의의 회로설계에 따라 신호 연산을 하는 하부 칩(20)을 상하로 적층하여 제조된 것으로서, 예를들면 상기 광집적 회로 반도체 칩(30)은 광신호를 전기적인 신호로 변환하는 역할만을 하게 하고, 실질적인 연산 기능을 하부 칩에서 담당하게 함으로써, 전기적인 수행 성능을 향상시킬 수 있고, 회로의 연산 동작이 정밀하게 수행될 수 있으며, 고집적도를 실현하는 동시에 마더보드에 대한 실장면적을 줄일 수 있게 된다.

첨부한 도 2는 본 발명에 따른 반도체 패키지의 제2실시예를 나타내는 단면도이다.

상기 제2실시예의 반도체 패키지는 상술한 제1실시예의 반도체 패키지의 구성과 유사하고, 단지 하부 칩(20)의 본딩패드와 부재(10)간의 접속수단을 범프(24) 대신에 와이어(26)로 연결한 것이다.

즉, 상기 하부 칩(20)을 소정의 접착수단(21)에 의하여 부재(10)상에 부착하되, 본딩패드가 위쪽을 향하도록 부착하고, 이때 광집적 회로 반도체 칩(30)은 상기 하부 칩(20)의 본딩패드 안쪽 영역에 부착되어진다.

따라서, 상기 하부 칩(20)의 본딩패드와 상기 부재(10)의 와이어 본딩용 전도성패턴간을 와이어(26)로 용이하게 본딩 연결된다.

마찬가지로, 광검출부(32)를 포함하는 상기 광집적 회로 반도체 칩(30)의 상면에 덮개형 글래스를 부착하고, 이 글래스(38)의 표면을 노출시키며 몰딩을 하게 된다.

발명의 효과

이상에서 본 바와 같이, 본 발명에 따른 반도체 패키지에 의하면,

광집적 회로 반도체 칩과, 임의의 회로 설계에 따라 신호 연산을 하는 하부 칩을 상하로 적층함으로써, 예를들면 상기 광집적 회로 반도체 칩은 광신호를 전기적인 신호로 변환하는 역할만을 하게 하고, 실질적인 연산 기능을 하부 칩에서 담당하게 하여 전기적인 수행 성능을 향상시킬 수 있다.

또한, 광집적 회로 반도체 칩이 별도의 반도체 칩과 적층되어, 하나의 칩으로 통합시키기 어려운 복잡기능을 하나의 패키지에 의하여 구현 가능하게 하고, 회로의 연산 동작이 보다 정밀하게 수행될 수 있으며, 고집적도를 실현하는 동시에 마더보드에 대한 실장면적을 줄일 수 있게 된다.

(57) 청구의 범위

청구항 1. 베이스층을 이루는 절연수지층상에 전도성패턴이 예칭으로 형성된 부재와;

상기 부재의 전도성패턴과 범프에 의하여 신호 교환 가능하게 부착되는 반도체 칩과;

상기 반도체 칩의 상면에 접착수단에 의하여 부착된 광집적 회로 반도체 칩과;

상기 광집적 회로 반도체 칩의 광검출부를 덮으면서 부착되는 빛 투과수단과;

상기 빛 투과수단의 외측으로 형성된 상기 광집적 회로 반도체 칩의 본딩패드와, 상기 부재의 와이어 본딩용 전도성패턴간에 연결된 와이어와;

상기 부재 저면의 인출단자 부착용 전도성패턴에 신호 교환 가능하게 융착된 다수개의 인출단자와;

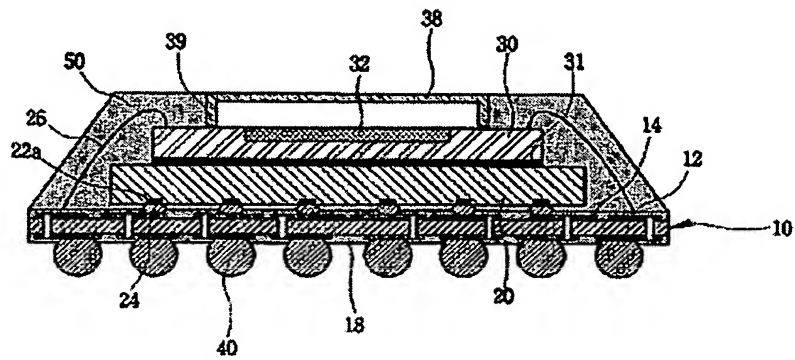
상기 반도체 칩 및 광집적 회로 반도체 칩과, 와이어와, 범프를 포함하면서 부재의 상면에 걸쳐 몰딩된 수지;

로 구성된 것을 특징으로 하는 반도체 패키지.

청구항 2. 제 1 항에 있어서, 상기 반도체 칩의 본딩패드와 부재간의 접속수단을 상기 범프 대신 와이어로 연결 가능한 것을 특징으로 하는 반도체 패키지.

도면

도면1



도면2

